

# DRAM cell arrangement and method for its manufacture

**Patent number:** DE19519159  
**Publication date:** 1996-11-28  
**Inventor:** RISCH LOTHAR DR (DE); HOFMANN FRANZ DR (DE); ROESNER WOLFGANG DR (DE); KRAUSCHNEIDER WOLFGANG DR ING (DE)  
**Applicant:** SIEMENS AG (DE)  
**Classification:**  
**- International:** H01L21/8242; H01L27/108; H01L21/70; H01L27/108; (IPC1-7): H01L27/108; H01L21/8242  
**- european:** H01L21/8242C2; H01L27/108F6  
**Application number:** DE19951019159 19950524  
**Priority number(s):** DE19951019159 19950524

Also published as:

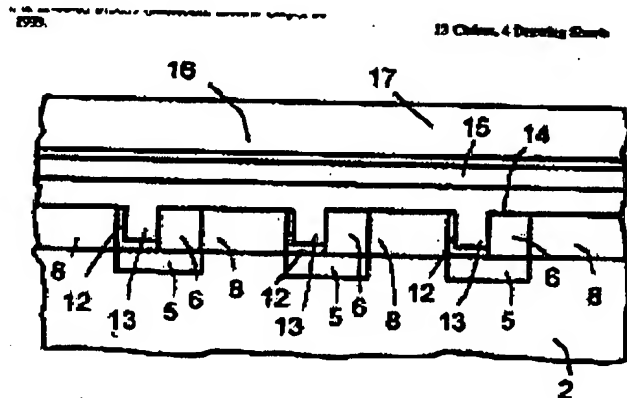
EP0744772 (A1)  
 US5736761 (A1)  
 JP8330545 (A)  
 EP0744772 (B1)

Report a data error here

Abstract not available for DE19519159

Abstract of corresponding document: **US5736761**

The DRAM cell arrangement has one vertical MOS transistor per memory cell, whose first source/drain region adjoins a trenched bitline (5), whose gate electrode (13) is connected with a trenched wordline and whose second source/drain region (3) adjoins a substrate main surface (1). A capacitor dielectric (16), which is in particular a ferroelectric or paraelectric layer, is arranged on at least the second source/drain region and a capacitor plate (17) is arranged on the dielectric, so that the second source/drain region (3) acts additionally as a memory node. The DRAM cell arrangement can be manufactured with a memory cell surface of 4 F2.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

①2 **Offenlegungsschrift**  
①0 **DE 195 19 159 A 1**

①6 Int. Cl.®:  
**H 01 L 27/108**  
H 01 L 21/8242

②1 Aktenzeichen: 195 19 159.5  
②2 Anmeldetag: 24. 5. 95  
④3 Offenlegungstag: 28. 11. 98

DE 195 19 159 A 1

⑦1 Anmelder:  
Siemens AG, 80333 München, DE

⑦2 Erfinder:  
Risch, Lothar, Dr., 85579 Neubiberg, DE; Hofmann,  
Franz, Dr., 80995 München, DE; Rösner, Wolfgang,  
Dr., 81739 München, DE; Krauschneider, Wolfgang,  
Dr.-Ing., 83104 Tantenhausen, DE

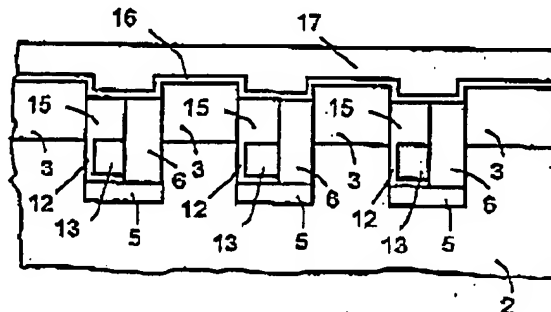
⑤0 Entgegenhaltungen:  
DE 44 18 352 A1  
DE 38 44 120 A1  
US 53 76 576  
US 46 30 088

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 DRAM-Zellenanordnung und Verfahren zu deren Herstellung

⑤7 DRAM-Zellenanordnung und Verfahren zu deren Herstellung.

Die DRAM-Zellenanordnung umfaßt pro Speicherzelle einen vertikalen MOS-Transistor, dessen erstes Source/Drain-Gebiet an eine vergrabene Bitleitung (6) angrenzt, dessen Gateelektrode (13) mit einer vergrabenen Wortleitung verbunden und dessen zweites Source/Drain-Gebiet (3) an eine Substrathauptfläche (1) angrenzt, auf der ein Kondensatordielektrikum (18), das insbesondere eine ferroelektrische oder paraelektrische Schicht ist, und eine Kondensatorplatte (17) angeordnet sind, so daß das zweite Source/Drain-Gebiet (3) zusätzlich als Speicherknoten wirkt. Die DRAM-Zellenanordnung ist mit einer Speicherzellenfläche von 4 F herstellbar.



DE 195 19 159 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen  
BUNDESDRUCKEREI 10. 98 602 048/224

12/25

DE 195 19 159 A1

1

## Beschreibung

In DRAM-Zellenanordnungen, das heißt, Speicherzellenanordnungen mit dynamischen, wahlfreiem Zugriff, werden fast ausschließlich sogenannte Eintransistor-Speicherzellen eingesetzt. Eine Eintransistor-Speicherzelle umfaßt einen Auslesetransistor und einen Speicherkondensator. In dem Speicherkondensator ist die Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, Null oder Eins, darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden.

Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muß die benötigte Fläche der Eintransistor-Speicherzelle von Generation zu Generation reduziert werden. Da der Reduktion der Strukturgrößen durch die minimale in der jeweiligen Technologie herstellbare Strukturgröße  $F$  Grenzen gesetzt sind, ist dies auch mit einer Veränderung der Eintransistor-Speicherzelle verbunden. So wurden bis zur 1MBit-Generation sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4MBit-Speichergeneration mußte eine weitere Flächenreduzierung durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator erfolgen. Eine Möglichkeit besteht darin, den Speicherkondensator in einem Graben zu realisieren (siehe zum Beispiel Yamada, K. et al, A deep trench capacitor technology for 4Mbit DRAMs Proc. Intern. Electronic Devices & Materials IEDM 85, p. 702).

Ferner ist vorgeschlagen worden (siehe zum Beispiel Kawamoto, Y. et al, A 1,28  $\mu\text{m}^2$  Shielded Memory Cell Technology for 64Mbit DRAMs, Techn. Digest of VLSI Symposium, 1990, p. 13), den Speicherkondensator als Stapelkondensator, den sogenannten stacked capacitor, auszuführen. Dabei wird über den Wortleitungen eine Struktur aus Polysilizium, zum Beispiel eine Kronenstruktur oder ein Zylinder gebildet, der mit dem Substrat kontaktiert wird. Diese Polysiliziumstruktur bildet den Speicherknoten. Er wird mit Kondensatordielektrikum und Kondensatorplatte versehen. Dieses Konzept hat den Vorzug, daß es weitgehend mit einem Logikprozeß kompatibel ist.

Die Fläche für eine Speicherzelle eines DRAM in der 1GBit-Generation soll nur etwa 0,2  $\mu\text{m}^2$  betragen. Der Speicherkondensator muß dabei eine Kapazität von 20 bis 30 fF aufweisen. Eine derartige Kapazität ist bei einer Zellfläche, wie sie bei der 1GBit-Generation zur Verfügung steht, in einem Stapelkondensator nur mit einer relativ komplizierten Struktur der Polysiliziumstruktur machbar. Diese komplizierten Strukturen sind zusätzlich durch ihre Topologie immer schwieriger herstellbar.

Der Erfindung liegt das Problem zugrunde, eine DRAM-Zellenanordnung anzugeben, die als Speicherzellen Eintransistor-Speicherzellen umfaßt und die in der für die 1GBit-Generation erforderlichen Packungsdichte herstellbar ist. Ferner soll ein Herstellungsverfahren für eine solche DRAM-Zellenanordnung angegeben werden.

Dieses Problem wird gelöst durch eine DRAM-Zellenanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 8. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der erfindungsgemäßen DRAM-Zellenanordnung sind Eintransistor-Speicherzellen vorgesehen, in denen

2

der Auslesetransistor als vertikaler MOS-Transistor ausgebildet ist. Dabei grenzt eines der Source/Drain-Gebiete des vertikalen MOS-Transistors an eine Hauptfläche eines Halbleitersubstrats, in dem die DRAM-Zellenanordnung realisiert ist, an. Das andere Source/Drain-Gebiet grenzt an eine vergrabene Bitleitung an. Auf der Hauptfläche ist an der Oberfläche des dort angrenzenden Source/Drain-Gebietes ein Kondensatordielektrikum und darüber eine Zellplatte angeordnet. Das an die Hauptfläche angrenzende Source/Drain-Gebiet wird zusätzlich als Speicherknoten für den aus Kondensatorplatte, Kondensatordielektrikum und Source/Drain-Gebiet gebildeten Speicherkondensator.

Das Kanalgebiet des MOS-Transistors ist im Halbleitersubstrat angeordnet und mit einem Gatedielektrikum und einer Gateelektrode versehen. Die Gateelektrode ist mit einer Wortleitung verbunden. Gateelektroden und Wortleitungen sind im Substrat vergraben und durch Isolationsstrukturen gegenüber den Source/Drain-Gebieten, den Bitleitungen und den Kanalgebieten isoliert.

Die DRAM-Zellenanordnung wird vorzugsweise in einem Halbleitersubstrat realisiert, das mindestens in dem Bereich für die DRAM-Zellenanordnung monokristallines Silizium umfaßt. Das kann sowohl eine Scheibe durchgehend aus monokristallinem Silizium als auch ein SOI-Substrat, das auf eine Siliziumscheibe eine isolierende Schicht und darauf eine dünne monokristalline Siliziumschicht umfaßt, sein.

Vorzugsweise wird das Kondensatordielektrikum aus einem Material mit einer relativen Dielektrizitätskonstante  $\epsilon_r$  zwischen 100 und 1000 gebildet.

Die erfindungsgemäße DRAM-Zellenanordnung kann mit einer planaren Oberfläche oder mit einer Oberfläche mit einer flachen Topologie hergestellt werden, so daß als Kondensatordielektrikum eine ferroelektrische oder paraelektrische Schicht verwendet werden kann. Ferroelektrische und paraelektrische Schichten weisen eine hohe relative Dielektrizitätskonstante  $\epsilon_r$  im Bereich von 500 bis 1000 auf. Wenn diese Schichten durch Sputtern abgeschieden werden, sind sie nur auf ebenen Oberflächen oder Oberflächen mit einer flachen Topologie einsetzbar. Auch bei CVD- oder Sol-Gel-Verfahren mit besserer Kantenbedeckung können durch die benötigte Dicke der Schichten keine komplizierten 3D-Strukturen hergestellt werden. Als Kondensatordielektrikum wird vorzugsweise Barium-Strontium-Titanat, Blei-Zirkon-Titanat, Y1, oder Strontium-Titanat verwendet. Mit diesen Dielektrika mit hoher relativer Dielektrizitätskonstante kann die erforderliche Kapazität in 20 bis 30 fF auch auf einer Fläche von etwa 0,2 bis 0,4  $\mu\text{m}^2$  erzielt werden.

Vorzugsweise weist das Halbleitersubstrat in Reihen und Spalten angeordnete Säulen aus Halbleitermaterial auf. Die vertikalen MOS-Transistoren werden dann entlang mindestens einer Flanke dieser Säulen so realisiert, daß Gatedielektrikum und Gateelektrode die Flanke der jeweiligen Säule parallel zur Hauptfläche des Halbleitersubstrats nur teilweise bedecken. Besonders vorteilhaft herstellbar sind die vertikalen MOS-Transistoren, wenn sie zwei aneinandergrenzende Flanken der Säulen jeweils teilweise bedecken.

Gemäß einer Ausführungsform verlaufen die Bitleitungen jeweils zwischen benachbarten Reihen von Säulen. Zwischen benachbarten Spalten von Säulen verlaufen die Wortleitungen, die jeweils mit Gateelektroden verbunden sind. Zwischen den Wortleitungen und den Bitleitungen ist eine Isolationsstruktur vorgesehen. Die

DE 195 19 159 A1

3

Wortleitungen sind darüber hinaus gegenüber den aktiven Transistorgebieten isoliert.

Die Säulen werden vorzugsweise durch zwei Ätzschritte hergestellt. Dabei werden zunächst erste Gräben geätzt, die im wesentlichen parallel verlaufen. Im zweiten Ätzschritt werden zweite Gräben geätzt, die die ersten Gräben kreuzen und ebenfalls im wesentlichen parallel verlaufen. Werden die ersten Gräben und die zweiten Gräben so dimensioniert, daß die Breite jedes Grabens gleich dem Abstand zwischen benachbarten Gräben ist und wird diese Breite entsprechend der in der jeweiligen Technologie kleinsten herstellbaren Strukturgröße  $F$  gewählt, so beträgt die Fläche für eine Speicherzelle  $4 F^2$ .

Das heißt, in einer  $0,18 \mu\text{m}$ -Technologie benötigt jede Speicherzelle eine Fläche von  $0,13 \mu\text{m}^2$ .

Im folgenden wird die Erfindung anhand der Figuren und eines Ausführungsbeispiels näher erläutert.

Fig. 1 zeigt einen Schnitt durch ein Substrat nach der Bildung von ersten Gräben und Bitleitungen.

Fig. 2 zeigt einen Schnitt parallel zum Verlauf der Bitleitungen durch das Substrat nach der Bildung zweiter Gräben.

Fig. 3 zeigt einen Schnitt parallel zu einer Bitleitung zwischen benachbarten Bitleitungen durch das Substrat nach der Ätzung von Öffnungen für vertikale MOS-Transistoren.

Fig. 4 zeigt einen Schnitt senkrecht zu den Bitleitungen durch das Substrat nach der Öffnung der Löcher zur Bildung der vertikalen MOS-Transistoren.

Fig. 5 zeigt einen Schnitt senkrecht zu den Bitleitungen durch das Substrat nach der Bildung von Gateoxid, Gateelektrode, Kondensatordielektrikum und Kondensatorplatte.

Fig. 6 zeigt einen Schnitt senkrecht zu den Bitleitungen, parallel zu den Wortleitungen durch eine Wortleitung durch das Substrat nach der Bildung von Gateoxid, Gateelektrode, Wortleitungen, Kondensatordielektrikum und Kondensatorplatte.

Fig. 7 zeigt eine schematische Aufsicht auf ein Substrat mit den ersten Gräben und den zweiten Gräben und den Maskenöffnungen zur Bildung der Löcher für die vertikalen MOS-Transistoren.

In einer Hauptfläche 1 eines Substrates 2 aus zum Beispiel monokristallinem Silizium, das mindestens im Bereich für eine DRAM-Zellenanordnung p-dotiert mit einer Dotierstoffkonzentration von zum Beispiel  $5 \times 10^{17} \text{ cm}^{-3}$  ist, wird ganzflächig ein  $n^+$ -dotiertes Gebiet 3 erzeugt. Das  $n^+$ -dotierte Gebiet 3 wird zum Beispiel durch Ionenimplantation gebildet. Es weist eine Dotierstoffkonzentration von zum Beispiel  $1 \times 10^{20} \text{ cm}^{-3}$  auf. Die Tiefe des  $n^+$ -dotierten Gebietes beträgt zum Beispiel  $0,5 \mu\text{m}$ .

Unter Verwendung einer Grabenmaske aus zum Beispiel  $\text{SiO}_2$  und Photolack (nicht dargestellt) werden in der Hauptfläche 1 erste Gräben 4 geätzt. Die ersten Gräben 4 verlaufen im wesentlichen parallel. Sie weisen eine Tiefe von zum Beispiel  $0,8 \mu\text{m}$  auf. Die Weite der ersten Gräben 4 beträgt zum Beispiel  $F = 180 \text{ nm}$ , der Abstand zwischen benachbarten Gräben 4 beträgt zum Beispiel  $F = 180 \text{ nm}$ . Die ersten Gräben 4 erstrecken sich parallel zur Hauptfläche 1 über das gesamte Zellenfeld und weisen eine Länge von zum Beispiel  $100 \mu\text{m}$  auf. Die Tiefe der ersten Gräben 4 muß mindestens so hoch sein, daß die ersten Gräben 4 durch das  $n^+$ -dotierte Gebiet 3 hindurchreichen (siehe Fig. 1).

Durch Ionenimplantation werden am Boden der ersten Gräben 4  $n^+$ -dotierte Bitleitungen 5 gebildet. Die

4

Bitleitungen 5 weisen eine Dotierstoffkonzentration von zum Beispiel mindestens  $\geq 10^{20} \text{ cm}^{-3}$  und eine Tiefe von zum Beispiel  $0,2 \mu\text{m}$  auf.

Die ersten Gräben 4 werden anschließend mit einer ersten Isolationsstruktur 6 aus zum Beispiel  $\text{SiO}_2$  aufgefüllt. Die erste Isolationsstruktur 6 wird zum Beispiel durch konforme Abscheidung einer  $\text{SiO}_2$ -Schicht und anschließende Planarisierung gebildet.

Anschließend werden unter Verwendung einer zweiten Grabenmaske zweite Gräben 7 geätzt, die die ersten Gräben 4 im wesentlichen im rechten Winkel kreuzen. Die zweiten Gräben 7 werden in derselben Tiefe wie die ersten Gräben 4 geätzt. Es ist wesentlich, daß die Oberfläche der Bitleitungen in den zweiten Gräben 7 freigelegt wird. Anschließend werden die zweiten Gräben 7 mit zweiten Isolationsstrukturen 8 aufgefüllt. Die zweiten Isolationsstrukturen 8 reichen in etwa bis zu der Höhe der  $n^+$ -dotierten Gebiete 3. Die zweiten Isolationsstrukturen 8 werden zum Beispiel aus  $\text{SiO}_2$  durch konforme Abscheidung einer  $\text{SiO}_2$ -Schicht und anschließendes Rückätzen gebildet (siehe Fig. 2, in der ein Schnitt senkrecht zu dem in Fig. 1 dargestellten Schnitt, parallel zu einer Bitleitung 5, zwischen zwei benachbarten Bitleitungen 5 darstellt).

Je zwei Paare benachbarter erster Gräben 4 sowie zweiter Gräben 7 definieren eine Säule aus Silizium, die im Bereich der Hauptfläche 1 das  $n^+$ -dotierte Gebiet 3 und darunter Substratmaterial 2, das p-dotiert ist, aufweist.

Es wird eine Maske 9 aus zum Beispiel  $\text{SiO}_2$  erzeugt, die Maskenöffnungen 10 aufweist. Die Maskenöffnungen 10 weisen einen parallel zur Hauptfläche 1 im wesentlichen quadratischen Querschnitt auf und sind rasterförmig angeordnet. Durch die Maskenöffnungen 10 wird die Anordnung von vertikalen MOS-Transistoren definiert. Die Maskenöffnungen 10 sind so angeordnet, daß sie jeweils eine Ecke einer der Säulen überlappen. Der quadratische Querschnitt der Maskenöffnungen 10 weist eine Seitenlänge auf, die gleich der Breite der ersten Gräben 4 sowie der zweiten Gräben 7 ist. Die Mitte der Maskenöffnungen 10 ist jeweils um eine halbe Seitenlänge in Bezug auf die Mitten der angrenzenden ersten Gräben 4 und zweiten Gräben 7 versetzt angeordnet. Die Breiten und Abstände der Gräben 4, 7 betragen jeweils eine minimal herstellbare Strukturgröße  $F$ , die Seitenlänge der Maskenöffnungen 10 beträgt ebenfalls eine minimal herstellbare Strukturgröße  $F$ . Die Mitte der Maskenöffnungen 10 ist bezüglich der Mitten der Gräben 4, 7 jeweils um  $1/2 F$  versetzt. Dabei wird ausgenutzt, daß die Justiergenauigkeit feiner als die kleinste herstellbare Strukturgröße ist. In einer 1 Gbit-Technologie beträgt die kleinste herstellbare Strukturgröße  $F$  gleich  $180 \text{ nm}$ , eine Justierung ist mit einer Genauigkeit von ca.  $1/3 F$  möglich.

In einem anisotropen Ätzprozeß, der  $\text{SiO}_2$  selektiv zu Silizium angreift, zum Beispiel mit reaktivem Ionenätzen, werden Löcher 11 geätzt, die von der Hauptfläche 1 bis auf die Höhe der Bitleitungen 5 reichen (siehe Fig. 3 und Fig. 4). Die Löcher 11 weisen einen hakenförmigen Querschnitt auf, wobei sich der Haken aus drei kleinen Quadraten zusammensetzen läßt. Das fehlende, vierte kleine Quadrat entsteht durch die Säule aus Silizium, die bei dem anisotropen Ätzprozeß nicht angegriffen wird. Die Flanken der Säule werden in dem Loch 11 freigelegt.

Nach Entfernen der Maske 9 wird zur Bildung eines Gateoxids 12 eine thermische Oxidation bei zum Beispiel  $800^\circ\text{C}$  durchgeführt. Dabei entsteht an allen freilie-

DE 195 19 159 A1

5

6

genden Siliziumoberflächen  $\text{SiO}_2$ . Anschließend werden Gateelektroden 13 und Wortleitungen 14 aus dotiertem Polysilizium erzeugt. Dazu wird zum Beispiel durch in situ dotierte Abscheidung eine Polysiliziumschicht erzeugt, die so dick ist, wie die Löcher 11 und die zweiten Gräben 7 oberhalb der zweiten Isolationsstruktur 8 in der Breite auffüllt. Anschließend wird die dotierte Polysiliziumschicht zum Beispiel durch reaktives Ionenätzen zurückgeätzt, bis die Höhe der Wortleitung 14 unterhalb der Hauptfläche 1 erreicht ist. Die Abmessung der Wortleitungen 14 wird über die Ätzdauer eingestellt. Die Strukturierung der Wortleitungen 14 erfolgt selbstjustiert.

Durch Abscheiden und Rückätzen einer weiteren  $\text{SiO}_2$ -Schicht werden oberhalb der Wortleitungen dritte Isolationsstrukturen 15 gebildet. Die Höhe der dritten Isolationsstrukturen 15 ist geringer als die Hauptfläche 1, so daß an den Flanken des  $n^+$ -dotierten Gebietes 3 der Säulen jeweils Stufen auftreten (siehe Fig. 5 und Fig. 6). Die Höhe dieser Stufen beträgt zum Beispiel 0,2 bis 0,5  $\mu\text{m}$ .

Anschließend wird ein Kondensatordielektrikum 16 aufgebracht. Das Kondensatordielektrikum weist eine Dicke von zum Beispiel 50 nm auf. Dazu wird zum Beispiel eine durchgehende ferroelektrische oder paraelektrische Schicht mit einer relativen Dielektrizitätskonstante  $\epsilon_r$  im Bereich zwischen 500 und 1000 durch Sputtern, CVD-Abscheidung oder in einem Sol-Gel-Verfahren aufgebracht. Vorzugsweise umfaßt das Kondensatordielektrikum mindestens einen der Stoffe Barium-Strontium-Titanat,  $\text{YTiO}_3$ , Strontium-Titanat oder Bleizirkonitanat. Das Kondensatordielektrikum 16 ist im Bereich der  $n^+$ -dotierten Gebiete 3 auf der Siliziumoberfläche angeordnet, die beim Rückätzen der dritten Isolationsstrukturen 15 freigelegt wurde. In Fällen, in denen eine Reaktion zwischen dem Material des Kondensatordielektrikums 16 und dem Silizium oder eine Diffusion des Materials des Kondensatordielektrikums 16 in das Silizium oder eine sonstige Beeinträchtigung des Siliziums durch das Material des Kondensatordielektrikums 16 befürchtet werden muß, wird mindestens die frei liegende Oberfläche des  $n^+$ -dotierten Gebietes 3 mit einer Zwischenschicht, zum Beispiel aus  $\text{TiN}$ ,  $\text{RuO}_2$ , Pt, W, abgedeckt.

Weist das Material des Kondensatordielektrikums 16 Leckströme in einem Ausmaß auf, das für einen Speicherkondensator nicht hinnehmbar ist, so wird das Kondensatordielektrikum 16 strukturiert. Dabei wird das Kondensatordielektrikum 16 jeweils oberhalb der dritten Isolationsstruktur 15 bzw. der ersten Isolationsstruktur 6 unterbrochen.

Auf das Kondensatordielektrikum 16 wird eine durchgehende Kondensatorplatte 17 aus zum Beispiel  $\text{PolySi}$ ,  $\text{TiN}$ , Pt, W,  $\text{RuO}_2$  aufgebracht. Die Kondensatorplatte 17 überdeckt mindestens den Bereich der ersten und zweiten Gräben.

Fig. 7 zeigt eine schematische Aufsicht auf das Substrat 2 mit den ersten Gräben 4 und den zweiten Gräben 7. Ferner ist in Fig. 7 als strichpunktierte Umrahmung die Lage der Maskenöffnungen 10 angegeben. Zum besseren Verständnis sind ferner durch strichpunktierte Linien mit der Bezeichnung I, II, III, IV, V, VI die Schnitte angedeutet, die in den Fig. 1, 2, 3, 4, 5, 6 dargestellt sind.

Da die ersten Gräben 4 parallel verlaufen und gleiche Breite und gleichen Abstand, zum Beispiel eine minimale Strukturgröße  $F = 180 \text{ nm}$  aufweisen und die zweiten Gräben 7 ebenfalls gleiche Breite und Abstände, zum Beispiel eine minimale Strukturgröße  $F = 180 \text{ nm}$  auf-

weisen, beträgt der Platzbedarf pro Speicherzelle  $(2 \times \text{Grabenbreite})^2$ , zum Beispiel  $4 F^2 = 0,13 \mu\text{m}^2$ .

Abgesehen von der möglichen Strukturierung des Kondensatordielektrikums werden zur Herstellung der erfindungsgemäßen DRAM-Zellenanordnung drei zu justierende Masken benötigt. Dabei sind die beiden Masken, die zur Ätzung der ersten Gräben 4 sowie der zweiten Gräben 7 eingesetzt werden, unkritisch bezüglich der Justierung. Lediglich die Maske 9, mit der die Löcher 11 geätzt werden, muß genau justiert werden.

Bei Verwendung eines Materials für das Kondensatordielektrikum 16, das eine ausreichend hohe relative Dielektrizitätskonstante  $\epsilon_r$  aufweist, kann die dritte Isolationsstruktur 15 so gebildet werden, die in der Höhe mit der Hauptfläche 1 abschließt. In der erfindungsgemäßen DRAM-Zellenanordnung bilden  $n^+$ -dotiertes Gebiet 3, Bitleitung 5 sowie dazwischenliegendes Substrat 2 mit dem Gateoxid 12 und der Gateelektrode 13 jeweils einen vertikalen MOS-Transistor. Das  $n^+$ -dotierte Gebiet 3, das Kondensatordielektrikum 16 und die Kondensatorplatte 17 bilden den Speicherkondensator. Das  $n^+$ -dotierte Gebiet 3 wird gleichzeitig als Source/Drain-Gebiet des vertikalen MOS-Transistors und als Speicherknoten des Speicherkondensators verwendet. Dadurch wird ein Platzgewinn erzielt. Darüber hinaus sind Source/Drain-Gebiete des vertikalen MOS-Transistors und Speicherknoten des Speicherkondensators herstellungsgemäß miteinander elektrisch verbunden, so daß die im Stand der Technik zur Verbindung der Polysiliziumstruktur mit dem Substrat bei Stapelkondensatoren erforderliche, kritische Kontaktlochätzung entfällt.

#### Bezugszeichenliste

- 1 Hauptfläche
- 2 Substrat
- 3  $n^+$ -dotiertes Gebiet
- 4 erste Gräben
- 5 Bitleitungen
- 6 erste Isolationsstruktur
- 7 zweite Gräben
- 8 zweite Isolationsstruktur
- 9 Maske
- 10 Maskenöffnungen
- 11 Loch
- 12 Gateoxid
- 13 Gateelektrode
- 14 Wortleitungen
- 15 dritte Isolationsstrukturen
- 16 Kondensatordielektrikum
- 17 Kondensatorplatte

#### Patentansprüche

1. DRAM-Zellenanordnung, mit Speicherzellen, die jeweils einen Auslesetransistor und einen Speicherkondensator umfassen, — wobei die Auslesetransistoren als in einem Halbleitersubstrat (2) integrierte, vertikale MOS-Transistoren, deren eines Source/Drain-Gebiet (3) jeweils an einer Hauptfläche (1) des Halbleitersubstrates (2) und deren anderes Source/Drain-Gebiet (5) jeweils an einer im Halbleitersubstrat (2) vergrabene Bitleitung (5) angrenzt und deren Gateelektrode (13) mit einer im Halbleitersubstrat (2) vergrabenen, die Bitleitungen (5) kreuzenden Wortleitung

## DE 195 19 159 A1

7

8

- (14) in Verbindung steht, ausgebildet sind,  
 — wobei die Speicherkondensatoren jeweils aus einem der an die Hauptfläche (1) angrenzenden Source/Drain-Gebiete (3) als Speicherknoten, einem darüber angeordneten Kondensatordielektrikum (16) und einer Kondensatorplatte (17) aufgebaut sind.
2. DRAM-Zellenanordnung nach Anspruch 1,  
 — bei der das Halbleitersubstrat (2) mindestens im Bereich der DRAM-Zellenanordnung von einem ersten Leitfähigkeitstyp dotiert ist,  
 — bei der das Halbleitersubstrat (2) in Reihen und Spalten angeordnete Säulen umfaßt, die an eine Hauptfläche (1) des Halbleitersubstrats (2) angrenzen,  
 — bei der jede Säule ein von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotiertes Gebiet (3) und ein vom ersten Leitfähigkeitstyp dotiertes Gebiet (2) aufweist, wobei das vom zweiten Leitfähigkeitstyp dotierte Gebiet (3) jeweils an die Hauptfläche (1) und im Bereich der Hauptfläche (1) an die Flanken der jeweiligen Säule angrenzt und wobei das vom ersten Leitfähigkeitstyp dotierte Gebiet (2) unterhalb des vom zweiten Leitfähigkeitstyp dotierten Gebietes (3) angeordnet ist, an die Flanken der Säule angrenzt und mit dem vom ersten Leitfähigkeitstyp dotierten Bereich des Halbleitersubstrats (2) in Verbindung steht,  
 — bei der die vergrabenen Bitleitungen (5) im wesentlichen parallel verlaufen und jeweils zwischen benachbarten Reihen der Säulen angeordnet sind,  
 — bei der die vergrabenen Wortleitungen (14) im wesentlichen parallel verlaufen, die Bitleitungen (5) kreuzen und jeweils zwischen benachbarten Spalten der Säulen angeordnet sind,  
 — bei der jeweils entlang mindestens einer Flanke der Säulen ein Gateoxid (12) und eine der Gateelektroden (13) vorgesehen sind, die die jeweilige Flanke teilweise bedecken, so daß der zur Hauptfläche vertikale MOS-Transistor gebildet wird,  
 — bei der die Gateelektroden (13) zu entlang einer der Spalten angeordneten Säulen jeweils mit einer der Wortleitungen (14) elektrisch verbunden sind,  
 — bei der oberhalb der Säulen das Kondensatordielektrikum angeordnet ist,  
 — bei der oberhalb des Kondensatordielektrikums (16) die durchgehende Kondensatorplatte (17) angeordnet ist,  
 — bei der das vom zweiten Leitfähigkeitstyp dotierte Gebiet (3) in den Säulen jeweils gleichzeitig als Speicherknoten und als Source/Drain-Gebiet eines der vertikalen MOS-Transistoren wirkt,  
 — bei der Isolationsstrukturen vorgesehen sind, durch die die Wortleitungen (14) und die Gateelektroden (13) gegenüber den Bitleitungen (5), den Siliziumsäulen (2, 3) und der Kondensatorplatte (17) isoliert sind.
3. DRAM-Zellenanordnung nach Anspruch 1 oder 2, bei der das Kondensatordielektrikum (16) aus einem Material mit einer relativen Dielektrizitätskonstante  $\epsilon_r$  zwischen 100 und 1000 gebildet ist.

4. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 3, bei der das Kondensatordielektrikum (16) als ganzflächige Schicht ausgebildet ist.
5. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 4, bei der die Isolationsstrukturen (6, 15) den Bereich zwischen benachbarten Siliziumsäulen nur teilweise auffüllen, so daß im Bereich der Hauptfläche (1) die Flanken der Siliziumsäulen teilweise mit Kondensatordielektrikum (16) bedeckt sind.
6. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 5,  
 — bei der die Breite der Bitleitungen (5) und der Wortleitungen (14) sowie der Abstand zwischen benachbarten Bitleitungen (5) und zwischen benachbarten Wortleitungen (14) jeweils im wesentlichen gleich ist,  
 — bei der das Gateoxid (12) der vertikalen MOS-Transistoren jeweils zwei aneinander angrenzende Flanken einer Säule teilweise bedeckt.
7. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 6,  
 — bei der das Halbleitersubstrat (2) mindestens im Bereich der DRAM-Zellenanordnung monokristallines Silizium umfaßt,  
 — bei der die Isolationsstrukturen  $\text{SiO}_2$  umfassen,  
 — bei der die Bitleitungen (5) als dotierte Gebiete im Halbleitersubstrat (2) ausgebildet sind,  
 — bei der die Gateelektroden (13) und die Wortleitungen (14) dotiertes Polysilizium umfassen.
8. Verfahren zur Herstellung einer DRAM-Zellenanordnung,  
 — bei dem Speicherzellen mit jeweils einem Auslesetransistor und einem Speicherkondensator erzeugt werden,  
 — bei dem in einem Halbleitersubstrat (2) vergrabene Bitleitungen (5) und vergrabene Wortleitungen (14) erzeugt werden,  
 — bei dem die Auslesetransistoren als vertikale MOS-Transistoren in dem Halbleitersubstrat gebildet werden, deren eines Source/Drain-Gebiet (3) jeweils an einer Hauptfläche (1) des Halbleitersubstrats (2) angrenzt und deren anderes Source/Drain-Gebiet (5) jeweils an eine der vergrabenen Bitleitungen (5) angrenzt und deren Gateelektrode (13) mit einer der vergrabenen Wortleitungen (14) in Verbindung steht,  
 — bei dem zur Bildung der Speicherkondensatoren oberhalb der an die Hauptfläche (1) angrenzenden Source/Drain-Gebiete (3) ein Kondensatordielektrikum (16) und eine Kondensatorplatte (17) aufgebracht werden, so daß das an die Hauptfläche (1) angrenzende Source/Drain-Gebiet (3) gleichzeitig als Speicherknoten wirkt.
9. Verfahren nach Anspruch 8, bei dem das Kondensatordielektrikum (16) aus einem Material mit einer relativen Dielektrizitätskonstante  $\epsilon_r$  zwischen 100 und 1000 gebildet wird.
10. Verfahren nach Anspruch 8 oder 9, bei dem das Kondensatordielektrikum (16) als durchgehende Schicht gebildet wird.
11. Verfahren nach einem der Ansprüche 8 bis 10,



## DE 195 19 159 A1

9

10

- bei dem in einem Halbleitersubstrat (2), das mindestens in einem Bereich für die DRAM-Zellenanordnung von einem ersten Leitfähigkeitstyp dotiert ist, ein von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotiertes Gebiet (3) erzeugt wird, das an eine Hauptfläche (1) des Halbleitersubstrats (2) angrenzt,
  - bei dem in dem Halbleitersubstrat (2) im wesentlichen parallel verlaufende erste Gräben (4) erzeugt werden,
  - bei dem am Boden der ersten Gräben (4) Bitleitungen (5) erzeugt werden,
  - bei dem die ersten Gräben (4) mit einer ersten Isolationsstruktur (6) aufgefüllt werden,
  - bei dem zweite Gräben (7) erzeugt werden, die die ersten Gräben (4) kreuzen und die mindestens bis auf die Oberfläche der Bitleitung (5) reichen, wobei Säulen aus Halbleitermaterial entstehen, die jeweils zwischen zwei benachbarten ersten Gräben (4) und zwei benachbarten zweiten Gräben (7) angeordnet sind,
  - bei dem die zweiten Gräben mit einer zweiten Isolationsstruktur (8) aufgefüllt werden, deren Höhe geringer ist als die Tiefe der zweiten Gräben (7),
  - bei dem eine anisotrope Ätzung durchgeführt wird, die die erste Isolationsstruktur (6) und die zweite Isolationsstruktur (8) selektiv zu den Säulen das Halbleitermaterial angreifen und bei der Löcher (11) geätzt werden, die von der Hauptfläche (1) bis auf die Höhe der Bitleitungen (5) reichen und in denen jeweils mindestens eine Flanke der Säulen, die an einen der zweiten Gräben (7) angrenzt, teilweise freigelegt wird,
  - bei dem an den freiliegenden Flanken der Säulen Gateoxide (12) erzeugt werden,
  - bei dem in den Löchern Gateelektroden (13) erzeugt werden, die die Löcher (11) jeweils ausfüllen,
  - bei dem in den zweiten Gräben (7) Wortleitungen (14) erzeugt werden, die jeweils mit entlang dem jeweiligen zweiten Graben (7) angeordneten Gateelektroden (13) elektrisch verbunden sind,
  - bei dem in den zweiten Gräben (7) eine dritte Isolationsstruktur (15) erzeugt wird,
  - bei dem ein Kondensatordielektrikum (16) erzeugt wird, das mindestens die Oberfläche der Säulen im Bereich der Hauptfläche (1) bedeckt,
  - bei dem eine Kondensatorplatte (17) erzeugt wird, die mindestens die Säulen überdeckt.
12. Verfahren nach Anspruch 11,
- bei dem die ersten Isolationsstrukturen (6) und die dritten Isolationsstrukturen (15) so gebildet werden, daß sie in der Höhe mit den Säulen abschließen,
  - bei dem in einem Ätzprozeß selektiv zu den Säulen die ersten Isolationsstrukturen (6) und die dritten Isolationsstrukturen (15) rückgeätzt werden, wobei an den Flanken der Säulen Stufen entstehen, die von dem Kondensatordielektrikum (16) abgedeckt werden.
13. Verfahren nach einem der Ansprüche 11 oder
- 12,
- bei dem die ersten Gräben (4) und die zweiten Gräben (7) im wesentlichen in gleicher Breite gebildet werden, wobei der Abstand benachbarter Gräben (4, 7) im wesentlichen gleich der Breite der Gräben ist,
  - bei dem die Löcher (11) unter Verwendung einer Maske (9) mit im wesentlichen quadratischen Maskenöffnungen (10) geätzt werden, wobei die Seitenlänge der quadratischen Maskenöffnungen (10) im wesentlichen gleich der Breite der Gräben (4, 7) ist,
  - bei dem die Mittelpunkte der quadratischen Maskenöffnungen (10) gegenüber den Mitten der ersten Gräben (4) sowie der zweiten Gräben (7) um weniger als eine Breite der Gräben (4, 7) versetzt angeordnet werden.
14. Verfahren nach einem der Ansprüche 11 bis 13,
- bei dem als Halbleitersubstrat (2) ein Substrat verwendet wird, das mindestens im Bereich der DRAM-Zellenanordnung monokristallines Silizium umfaßt,
  - bei dem die Isolationsstrukturen (6, 8, 15) aus  $\text{SiO}_2$  gebildet werden,
  - bei dem die Bitleitungen und das vom zweiten Leitfähigkeitstyp dotierte Gebiet (3) durch Implantation gebildet werden,
  - bei dem die Wortleitungen (14) und die Gateelektroden (13) aus dotiertem Polysilizium gebildet werden.

---

Hierzu 4 Seite(n) Zeichnungen

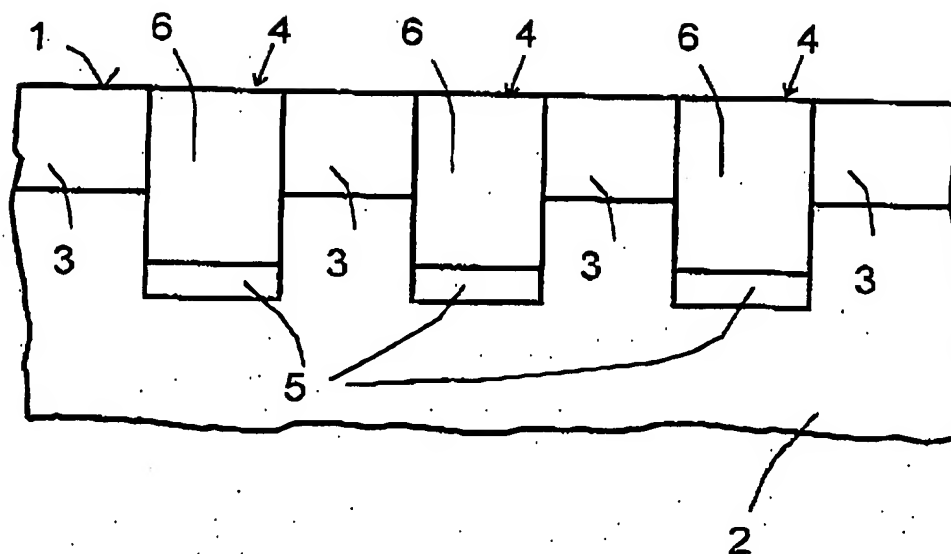
---

ZEICHNUNGEN SEITE 1

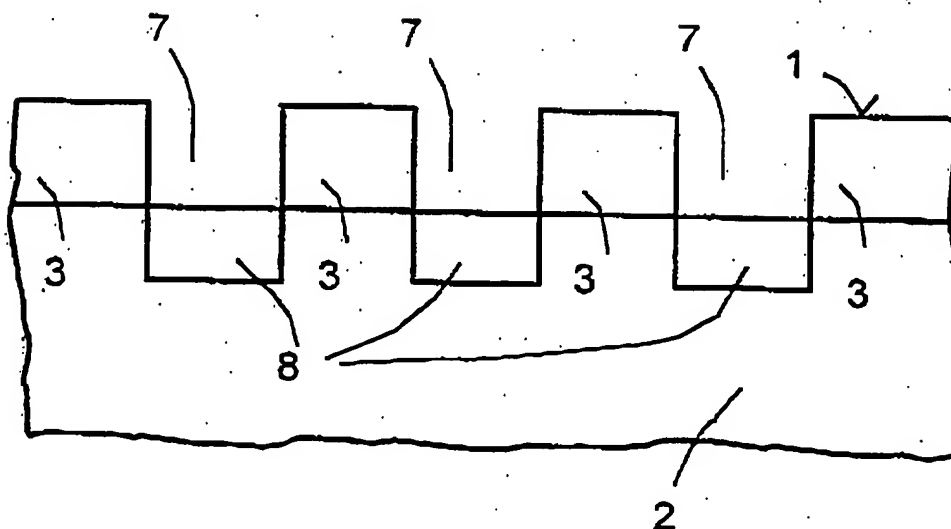
Nummer:  
Int. Cl. 6:  
Offenlegungstag:

DE 195 19 159 A1  
H 01 L 27/108  
28. November 1996

**FIG 1**



**FIG 2**



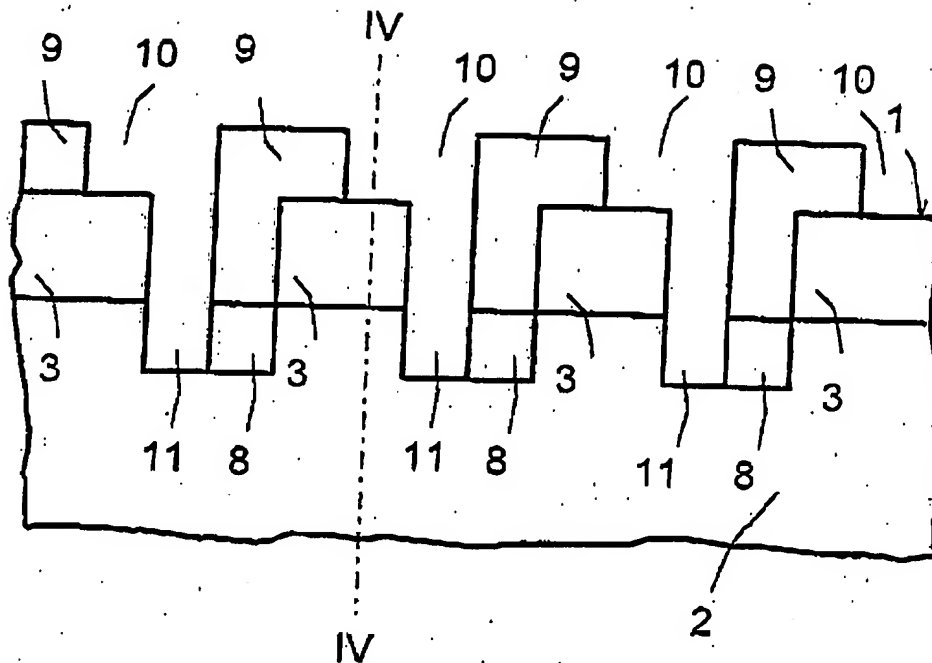


ZEICHNUNGEN SEITE 2

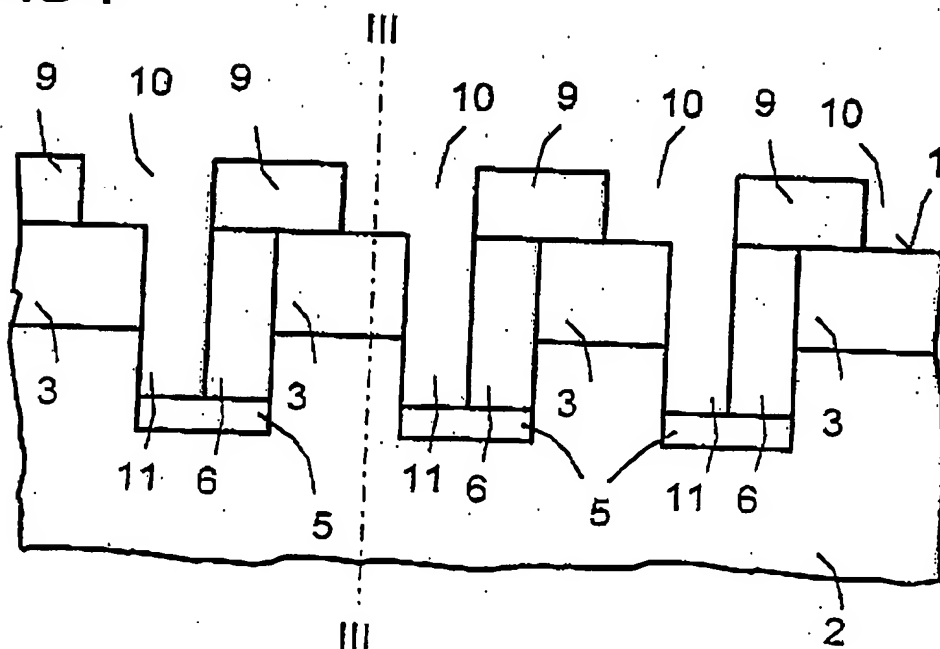
Nummer:  
Int. Cl.®:  
Offenlegungstag:

DE 195 19 159 A1  
H 01 L 27/108  
28. November 1996

**FIG 3**



**FIG 4**



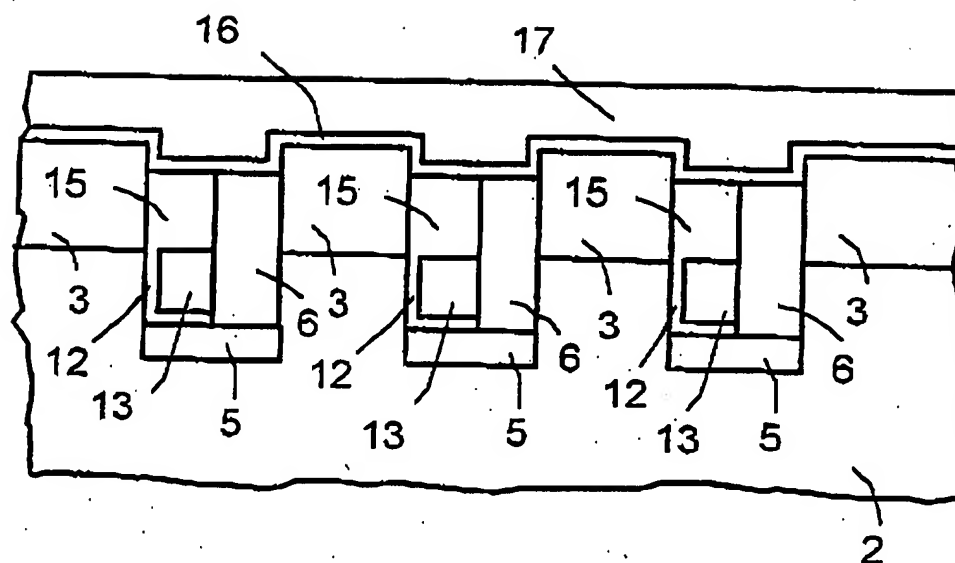
602 048/224

ZEICHNUNGEN SEITE 3

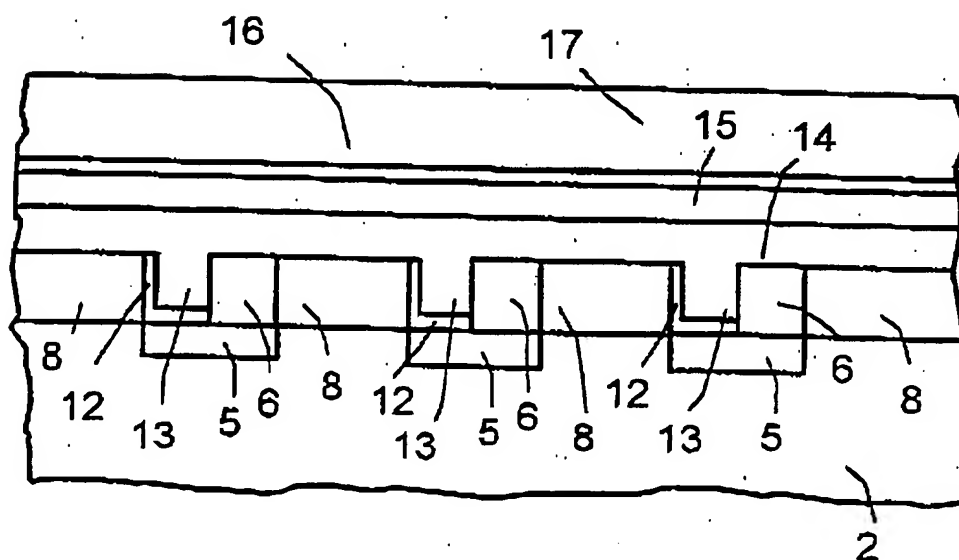
Nummer:  
Int. Cl.<sup>8</sup>:  
Offenlegungstag:

DE 195 19 159 A1  
H 01 L 27/108  
28. November 1996

**FIG 5**



**FIG 6**



602 048/224

ZEICHNUNGEN SEITE 4

Nummer:  
Int. Cl.<sup>8</sup>:  
Offenlegungstag:

DE 195 19 159 A1  
H 01 L 27/108  
28. November 1996

FIG 7

